

埋め込みチャンネルMOSキャパシタのC-V特性

三宅雅保*

C-V Characteristics of a Buried-Channel MOS Capacitor

Masayasu MIYAKE

ABSTRACT

High-frequency capacitance-voltage (C-V) characteristics of a buried-channel MOS capacitor have been measured and analyzed. The C-V characteristics, including transient behavior, of a buried-channel MOS capacitor that has a counter-doped p layer at the surface of n substrate are very similar to those of a surface-channel MOS capacitor of n substrate if the counter-doped layer is shallow enough to be fully inverted at large positive bias. As gate voltage is decreased, equilibrium capacitance for inversion (accumulation for the counter-doped layer) reaches a minimum value and then slightly increases to saturate, which is peculiar to a buried-channel MOS capacitor. This behavior arises from the fact that hole distribution is changed by the high-frequency gate-voltage change for the measurement signal although total amount of holes is not changed.

キーワード: C-V特性, 埋め込みチャンネルMOSキャパシタ, ポアソン方程式

Keywords: C-V characteristics, buried-channel MOS capacitor, Poisson equation

1. まえがき

ゲート電極にn+ポリシリコンのみを使用するシングルゲートCMOS構造は、ゲート電極中の不純物のチャンネル領域への突き抜けの問題が小さい等の理由により、超微細CMOSLSIに広く用いられている。上記のシングルゲートCMOSのpMOSとしては、チャンネル領域にpn接合を持つ埋め込みチャンネル形pMOSFETが必要となる。[1]

MOSキャパシタは、MOSLSI製作プロセスを開発、評価する上で重要なデバイスであり、特に、そのC-V(容量-電圧)特性の評価は重要である。埋め込みチャンネルMOSキャパシタのC-V特性については、1970年代にイオン注入による閾値電圧シフトを評価するという立場から、ゲート酸化膜厚が100nmという厚い素子に対して報告されている。[2], [3]しかし、バイアス電圧の掃引速度の効果等の過渡特性についての報告はなされておらず、埋め込みチャンネルMOSキャパシタのC-V特性の物理的意味は完全に理解されていない。従って、そのような埋め込みチャンネルMOSキャパシタのC-V特性を理解することが、今後のCMOSLSIプロセスの研究、開発を進める上で非常に重要となる。

本報告は、以前報告した埋め込みチャンネル形超微細pMOSFET[1]と同じ基板上に製作した埋め込みチャンネルMOSキャパシタの高周波C-V特性の測定および解析結果について述べるものである。ゲート酸化膜厚が7nmの極薄ゲート酸化膜のMOSキャパシタのC-V特性を、種々のバイアス電圧掃引方法(平衡状態、パルス掃引)について測定し、その解析を行った。また、一次元のポアソンの方程式を数値計算により解くことにより計算したC-V特性をもとに、埋め込みチャンネルMOSキャパシタに特有のC-V特性の物理的意味を考察した。

2. MOSキャパシタの製作工程および構造

本報告で測定したMOSキャパシタは、超微細埋め込みチャンネル形pMOSFET[1]と同一の基板上に製作したMOSキャパシタである。その製作工程の概要は以下のとおりである。

用いたSi基板は、面方位(100)、抵抗率 $1\Omega\text{cm}$ のn形ウェーハである。LOCOSにより素子分離を行った後、15nmの前酸化膜を形成した。チャンネルドーパイオン注入はこの前酸化膜を通して行った。Bのカウンタードーパイオン注入はBF₂, 25keVの

エネルギーで行った。パンチスルーを防止するために、As (130 keV) およびP (170 keV) のイオン注入を行った。チャンネル部の正味のドーピングプロファイルのシミュレーション結果を図1に示す。図に示すように、p形層の深さは450 Åである。

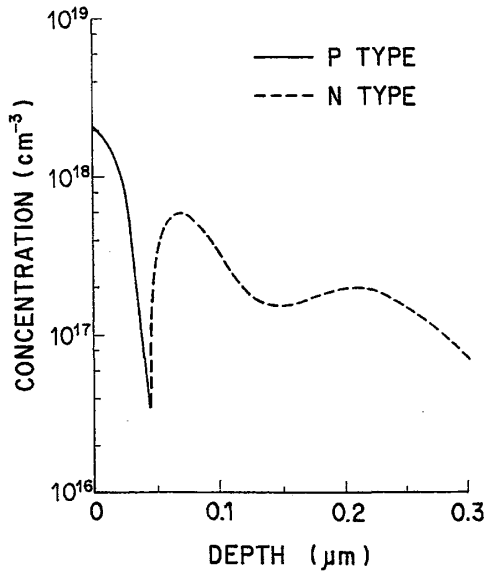
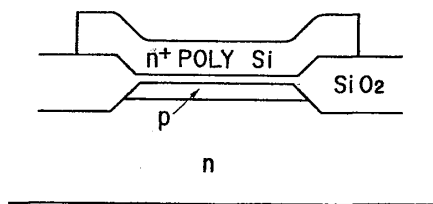
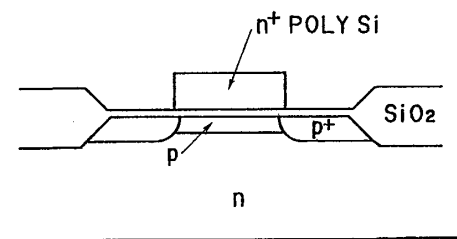


図1. チャンネル部の正味のドーピングプロファイル



(a) 通常構造



(b) 拡散層付き構造

図2. 測定したMOSキャパシタの構造

ゲート酸化膜厚は7 nmであり、ゲート電極はn⁺ポリシリコン (リンドーピングポリシリコン) である。測定したMOSキャパシタの大きさは500 x 500 μm²であり、ほとんどの測定は図2 (a) に示す通常の構造のMOSキャパシタについて行い、一部図2 (b) に示すp⁺拡散層付きMOSキャパシタについても行った。

3. 結果および考察

3.1 高周波C-V特性の測定結果

図3に、測定した高周波C-V特性を示す。測定周波数は100 kHzである。曲線 (b) が平衡状態での特性、すなわちDCバイアス電圧を印加した後、十分時間が経過してからCを測定した特性である。図に示すように、平衡状態でのCは、正の大きい電圧で一定値になり、ゲート電圧の減少とともに減少し、一定値に飽和する。曲線 (c) は、バイアス電圧を印加した直後にCを測定したC-V特性であり、印加電圧に応じてCが減少するdeep depletion特性が得られている。また、曲線 (a) は、拡散層を基板と同電位にして測定したp⁺拡散層付きMOSキャパシタの高周波C-V特性であり、ゲート電圧が負方向の領域でCが増大する低周波特性が得られている。

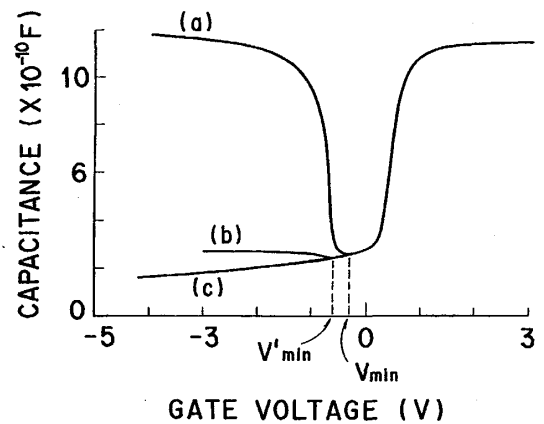


図3. 測定した埋め込みチャンネルMOSキャパシタの高周波C-V特性

図4は、通常構造のMOSキャパシタにおいて、ゲート電圧を3 Vから-2 Vに急に变化させたときの容量の時間変化、すなわち、C-t特性を示すものである。Cは時間の経過とともに増加し、平衡値に飽和していく。平衡に達するまでの時間は数千秒にも達する。拡散層付きMOSキャパシタの場合は、このような過渡特性は見られない。図3の大きい正の電圧での飽和値はゲート酸化膜容量C_{ox}に相当し、その値は1.14 nFである。容量は、ゲート電圧の減少とともに減少し、負方向の電圧を大きくすると、測定方法あるいは構造により異なった特性を示す。このふるまいは、n

形基板の表面チャンネルMOSキャパシタの特性に類似している。このように、埋め込みチャンネルMOSキャパシタは、表面付近にpn接合があるにもかかわらず、接合がない場合に類似のC-V特性を示す。通常のn

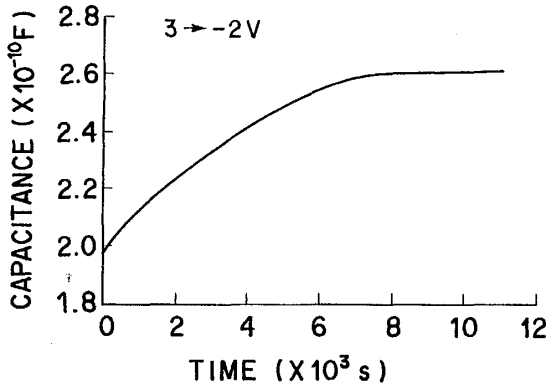


図4. C-t特性

形基板を持つ表面チャンネルMOSキャパシタにおいては、正の大きい電圧で、多数キャリア（電子）がSi表面に蓄積する。埋め込みチャンネルMOSキャパシタにおいては、正の大きい電圧で、p形層の表面は強く反転し、電子がSi表面に蓄積しているだけでなく、p形層が薄い場合には全体が反転し、n形化する。このように、p形層全体が反転するために、p形層にとっての少数キャリアである電子（n基板にとっては多数キャリア）は高周波においても測定信号に対して追従できる。従って、p形層全体が反転するほどp形層が薄い場合には、表面チャンネルMOSキャパシタと同様に、正の大きい電圧で容量はCoxを示すことになる。ゲート電圧が減少すると、空乏層が形成されるために容量は減少する。さらにゲート電圧が減少すると、p形層に正孔が蓄積するようになる。このとき、最初に正孔が蓄積する領域は、表面ではなくp形層の内部であり、これが埋め込みチャンネルという名前の由来である。そして、さらにゲート電圧が減少すると、平衡状態においては、ゲート電圧の減少はp形蓄積層の電荷を増加させるだけで、空乏層幅はほとんど変化しなくなる。このため、容量が飽和する。p形蓄積層の電荷（正孔）はp形層にとっては多数キャリアであるが、基板がn形であるために正孔の発生源としては、空乏層中あるいは表面での生成しかなく、蓄積層が形成されるのには長い時間を要する。そのため、この領域では、蓄積層の電荷は測定信号に追従せず、小さい容量値に飽和する。また、平衡に達するまでの時間が非常に長くなる。曲線(a)においては、拡散層があるためにp形層の正孔は測定信号に追従し、低周波特性が得られる。このように、埋め込みチャンネルMOSキャパシタのC-V特性は、p形層が薄い場合には、過渡

特性も含めてn形基板の表面チャンネルMOSキャパシタの特性に非常によく似たものになる。

3.2 埋め込みチャンネルMOSキャパシタ特有のC-V特性

図5は、平衡状態でのC-V特性を拡大したものである。このように、表面チャンネルMOSキャパシタとは違って、負バイアス方向での容量の飽和値C_{sat} (263 pF) が最小値C'_{min} (238 pF) より大きいことがわかる。すなわち、埋め込みチャンネルMOSキャパシタの平衡状態での容量は、ゲート電圧を正の大きい値から負方向に変化させたとき、C_{ox} からC'_{min} まで減少し、その後徐々に増加しC_{sat} に飽和するこ

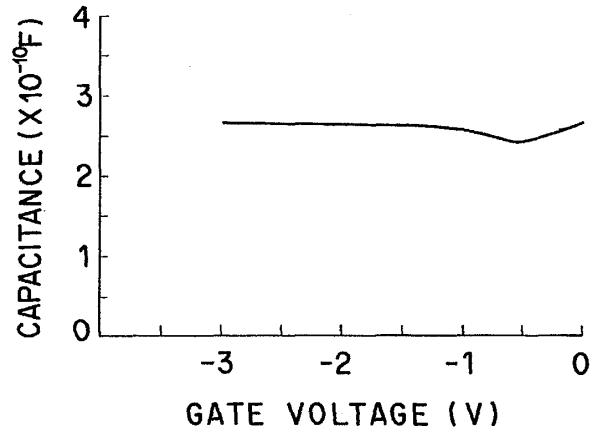


図5. 埋め込みチャンネルMOSキャパシタの平衡状態の高周波C-V特性の拡大図

とになる。これは、埋め込みチャンネルMOSキャパシタに特有のふるまいであり、以下、この現象の物理的意味について考察する。

この現象に対してこれまで次のような説明がなされている。[2], [4] 今考えているゲート電圧が負方向の領域（p形層に蓄積層が形成される領域）では、ゲート電圧の変化はp形層の表面付近のバンドを変化させるだけで、pn接合付近のバンドの状態には影響を与えない。すなわち、そのような領域でのMOSキャパシタの容量は、図6に示すように、ゲート酸化膜容量C_{ox}、p形層の表面付近の半導体容量C_{sp}、平衡状態

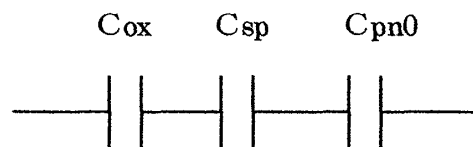


図6. 埋め込みチャンネルMOSキャパシタのこれまでの等価回路

での p n 接合の空乏層容量 C_{pn0} 3つの成分の直列接続で表されると考えることができる。この内、 C_{ox} と C_{pn0} は定数であり、 C_{sp} のみがゲート電圧の変化に対して変化すると考えられる。そして、この C_{sp} は通常の p 形基板 MOS キャパシタの半導体部分の容量と同じと考え、ゲート電圧が負方向に増大すると蓄積層容量となり増大する。そのため、 C_{sat} は C_{ox} と C_{pn0} の直列接続容量となり、高周波容量値が極小値を持つ。

以上のこれまでの説明は次に述べる理由により正しくない。平衡状態での容量測定では、ゲート電極に DC 電圧を平衡状態になるまで印加し、微小交流電圧を加え、微分容量（すなわち、電圧の微小変化に対する電荷の変化の割合）を求める。高周波での測定では、前にも述べたが、埋め込みチャンネルでは表面 p 形層の蓄積層の正孔は測定周波数に追従しない。一方、 C_{sp} を通常の p 形基板 MOS キャパシタと同じと考えることは、正孔が測定周波数に追従すると考えていることになり正しくない。さらに、そもそも図 6 に示すような 3つの容量の直列接続とみなすこと自体が正しくない。

MOS キャパシタの容量は C_{ox} と半導体部分の容量 C_s との直列接続で表され、単位面積あたりの半導体部分の容量 C_s は次式で定義される。

$$C_s = -d Q_s / d \phi_s \quad (1)$$

ここで、 Q_s は半導体の単位面積あたりの電荷密度、 ϕ_s は半導体の表面電位である。一次元のポアソンの方程式を数値計算で解き、与えられた ϕ_s に対する電位分布を求めることができる。Si/SiO₂ 界面を原点にとり、深さ方向に x 軸をとると、電位 $\phi(x)$ に対して、次のポアソンの方程式が成立する。

$$d^2 \phi / d x^2 = - (q / \epsilon_0 \epsilon_s) \{ N_D(x) - N_A(x) + p(x) - n(x) \} \quad (2)$$

ここで、 N_D はドナー濃度、 N_A はアクセプタ濃度、 p は正孔濃度、 n は電子濃度、 q は素電荷 ($1.6 \times 10^{-19} C$)、 ϵ_0 は真空の誘電率、 ϵ_s は半導体の比誘電率 (Si の場合は 11.8) である。

$p(x)$ 、 $n(x)$ は次式で表される。

$$n(x) = n_i \exp(q \phi / k T) \quad (3)$$

$$p(x) = n_i \exp(-q \phi / k T) \quad (4)$$

ここで、 n_i は真性キャリア濃度、 k はボルツマン定数、

T は絶対温度である。

通常、電位 ϕ は x が十分大きい点を 0 とするが、(2)、(3)、(4) 式における ϕ は、 x が十分大きい点で (3)、(4) 式が成立するように定める点に注意する必要がある。従って、(1) 式の ϕ_s は

$$\phi_s = \phi(0) - \phi(\infty) \quad (5)$$

となる。

ある $\phi_s = \phi_{s1}$ に対して、(2)、(3)、(4) 式を数値計算により解けば $\phi(x)$ を求めることができ、その結果から $Q_s(\phi_{s1})$ を求めることができる。次に、 ϕ_s を微小に増加させ、 $\phi_s = \phi_{s1} + \Delta \phi_s$ に対して計算を行い $Q_s(\phi_{s1} + \Delta \phi_s)$ を求めれば、(1) 式により $C_s(\phi_{s1})$ を計算できる。このような数値計算を行うプログラムを作成し、C-V 特性の計算を行った。以上述べた方法により求まる容量は電子、正孔の両方も測定周波数に追従すると考えているので、低周波特性に相当するものである。高周波測定においては、通常の表面チャンネル MOS キャパシタについて考えると、少数キャリア (n 形基板の場合は正孔) は DC 電圧には追従するが測定周波数には追従しない。従って、高周波特性を計算するときには、 $Q_s(\phi_{s1})$ は上と同様に計算するが、 $Q_s(\phi_{s1} + \Delta \phi_s)$ を計算するときには、少数キャリアである正孔濃度は $\phi_s = \phi_{s1}$ のときの値を用いる必要がある。つまり、正孔濃度分布は DC 電圧によって決まり、 ϕ_s を $\Delta \phi_s$ 変化させても変化しないと考える。

以上述べた方法により n 形基板の埋め込みチャンネル MOS キャパシタの C-V 特性を計算した結果を述べる。簡単のために、不純物濃度分布は深さ方向に一定

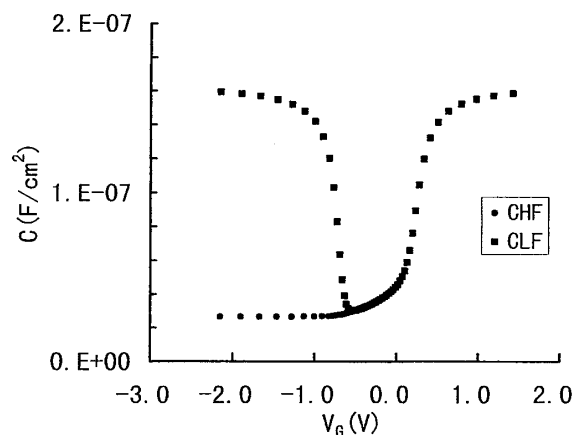


図 7. 数値計算による埋め込みチャンネル MOS キャパシタの C-V 特性. $N_D: 1E16 \text{ cm}^{-3}$, $N_A: 5E16 \text{ cm}^{-3}$, 接合深さ: 500 \AA , ゲート酸化膜厚: 20 nm

とし、高周波特性に極小値が現れるかどうか検討した。 $ND=1 \times 10^{16} \text{ cm}^{-3}$, $NA=5 \times 10^{16} \text{ cm}^{-3}$, p形層の厚さ, すなわちpn接合の深さは500 Å, ゲート酸化膜厚は20 nmとした。また, ゲート電極とn形基板との間に仕事関数差はないとした。なお, p形層の厚さは薄く, 正方向のゲート電圧でp形層全体が反転するような条件とした。すなわち, 高周波の容量計算においては, 電子は高周波信号に追随し, 正孔は追随しないとした。図7に計算したC-V特性を示す。丸印が高周波特性, 四角印が低周波特性である。高周波特性に着目すると, ゲート電圧が減少するにつれて容量は減少し一定値に飽和する。この特性は表面チャンネルMOSキャパシタの特性と同様であり, 実験で得られた極小値を持つという特性は得られていない。

表面チャンネルMOSキャパシタの空乏状態あるいは反転状態での半導体部分の高周波容量は空乏層近似で考えると, 近似的に空乏層幅を厚さとする平行平板コンデンサの容量で与えられる。これは, 表面電位の微小変化に対応して変化する電荷は空乏層端での多数キャリア(電子)のみであるので, 空乏層中での電界変化は一定となるからである。ここで, 埋め込みチャンネルMOSキャパシタの高周波容量と空乏層幅との関係について考えてみる。図8は, $\phi_s = -0.72 \text{ V}$

($V_G = -0.77 \text{ V}$)のときの深さ方向の電子濃度分布 $n(x)$ と正孔濃度分布 $p(x)$ の計算結果である。表面のp形層は蓄積状態で正孔濃度が高くなっており空乏層ではない。空乏層幅は図に示す $W1$ である。このときの高周波容量を考えてみると, 表面電位の微小変化に対応して変化する電荷は, n形基板側に伸びている空乏層端での電子のみであり, p形層中の正孔

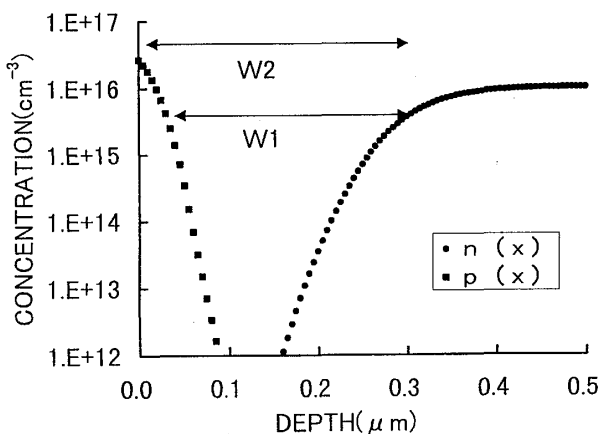
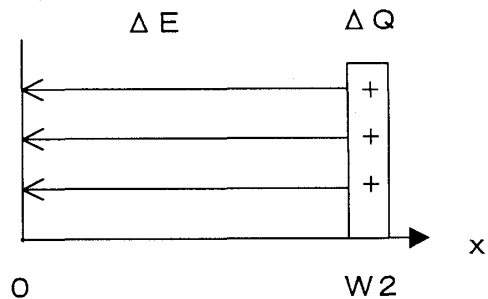


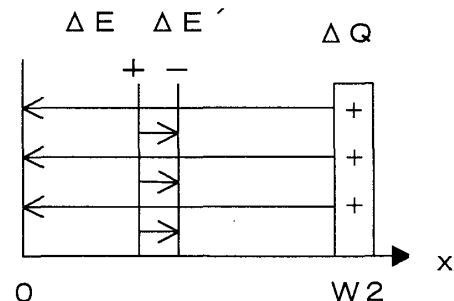
図8. 数値計算による深さ方向の電子および正孔濃度分布. 構造パラメータは図7に示すものと同じ。

は応答しない。従って, この場合の空乏層近似で考えた半導体容量は, 空乏層幅 $W1$ ではなくて, n形基板側に伸びた空乏層端の表面からの深さ $W2$ を厚さとする平行平板コンデンサの容量で与えられることになる。このため, 図6に示したこれまでの説明に用いられていた等価回路は正しくない。

埋め込みチャンネルMOSキャパシタの高周波C-V特性が, 極小値を持つ理由について, 空乏層近似に基づいて定性的に考察する。上に述べた数値計算による高周波容量の計算において, 正孔濃度分布は表面電位の微小変化に対して変化しないとした。高周波信号に対して正孔の生成は応答しないから, 正孔の総量(面積密度)は変化しない。表面チャンネルMOSキャパシタでは, 正孔がたまる反転層は S_i のごく表面の薄い領域に限られるから, 濃度分布も変化しないと考えてよいことになる。しかし, 埋め込みチャンネルMOSキャパシタにおいては, 図8に示すように, p形層の蓄積層(n基板からみれば反転層)の正孔濃度分布はシート状ではなく, ある幅にわたって分布している。従って, この場合は, 表面電位が微小変化をしたとき, 総量は変わらないが濃度分布は変化すると考えられ, 上に述べた高周波容量の計算結果には正孔濃度が高くなる領域, つまり負のゲート電圧方向の領域で誤差が生じてくる。 ϕ_s を微小量 $\Delta\phi_s$ だけマイナス方向に変化させた場合を考えると($\Delta\phi_s$ は負), 正孔濃度分布



(a) 正孔濃度分布が変化しないとした場合



(b) 正孔濃度分布が変化するとした場合

図9. 半導体中での電荷変化と電界変化の模式図

が変化しないとした場合は、図9 (a) に示すように、n形領域に伸びた空乏層端の電子濃度のみが変化し、ドナーのプラス電荷が変化分 ΔQ として現れる。このときの容量は

$$C_s = -\Delta Q / \Delta \phi_s \quad (6)$$

である。空乏層中での電荷の変化はないから、電界変化 ΔE は一定で次式となる。

$$\Delta E = -\Delta Q / \epsilon_0 \epsilon_s \quad (7)$$

$$\Delta \phi_s = W_2 \Delta E \quad (8)$$

(7), (8) を (6) に代入すると

$$C_s = \epsilon_0 \epsilon_s / W_2 \quad (9)$$

という平行平板コンデンサの式が得られる。

一方、正孔濃度分布の変化を考慮すると、 ϕ_s が負方向に変化した場合には、正孔分布は表面方向 (xの負方向) に移動すると考えられる。簡単のためにシート状の正電荷が微小距離 δx だけ負方向に移動するとすると、電荷の変化は図9 (b) に示すように、p形層内に電気二重層を考えればよいことになる。正孔濃度分布変化を考えないときと同じ電荷変化 ΔQ を空乏層端に考えると、(7)式で与えられる電界変化 ΔE の他に、電気二重層による電界変化 $\Delta E'$ が加わることになる。従って、表面電位の変化 $\Delta \phi_s$ は次式となる。

$$\Delta \phi_s = W_2 \Delta E + \delta x \Delta E' \quad (10)$$

図9 (b) に示す場合は、 $\Delta E < 0$ 、 $\Delta E' > 0$ となるので、正孔濃度分布変化を考慮すると、 $\Delta \phi_s$ の絶対値は減少することになる。このときの半導体部分の容量は

$$C_s = -\Delta Q / \Delta \phi_s = 1 / \{ (W_2 / \epsilon_0 \epsilon_s) - (\delta x \Delta E' / \Delta Q) \} \quad (11)$$

となり、正孔濃度分布変化を考慮しない場合に比べて大きくなるのがわかる。以上の理由により、埋め込みチャンネルMOSキャパシタの高周波容量は、ゲート電圧が負の大きい電圧の領域で図7の計算値より大きくなり、極小値を持つことになる。

以上述べたように、埋め込みチャンネルMOSキャパ

シタの高周波C-V特性が極小値を持つ理由は、高周波信号に対して、正孔濃度の総量は変化しないが、その濃度分布が変化するためであることが明らかとなった。

4. まとめ

基板Siの表面にpn接合を有するMOSキャパシタである埋め込みチャンネルMOSキャパシタの高周波C-V特性を測定し、その解析を行った。n形Si基板の表面に薄いp形層を持つMOSキャパシタの高周波C-V特性は、過渡特性も含めてpn接合を持たない通常のn形Si基板MOSキャパシタの特性に類似している。これは、正方向の大きい電圧で、p形層全体が反転するためである。ゲート電圧を負方向に変化させると、容量は減少し極小値(最小値)を示した後わずかに増加し飽和する。この極小値の存在は、埋め込みチャンネルMOSキャパシタに特有の特性である。これは、高周波信号に対して正孔の総量は変化しないが、その濃度分布が変化するためであることを明らかにした。

参考文献

- [1] M. Miyake, T. Kobayashi, and Y. Okazaki, "Subquarter-micrometer gate-length p-channel and n-channel MOSFETs with extremely shallow source-drain junctions," *IEEE Trans. Electron Devices*, vol.36, 392 (1989)
- [2] T. W. Sigmon and R. Swanson, "MOS threshold shifting by ion implantation," *Solid-State Electron.*, vol. 16, 1217 (1973)
- [3] M. R. Macpherson, "Threshold shift calculations for ion implanted MOS devices," *Solid-State Electron.*, vol. 115, 1319 (1972)
- [4] M. Miyake, "Capacitance-voltage characteristics of buried-channel MOS capacitors with a structure of subquarter-micron pMOS," *IEICE Trans. Electron.*, vol. E79-C, 430 (1996)