

インパルス性電磁雑音の自動測定に関する研究 (III)

—放射電磁雑音のデジタル回路基板への誘導—

佐野 博也・千葉 孝二・松本 史生*

Research on an Automatic Measurement of Impulse Electromagnetic Noise (III)

—Induction of Radiated Electromagnetic Noise
to Digital Circuit Board—

Hiroya SANO, Koozi CHIBA and Fumio MATUMOTO

ABSTRACT

This paper reports on electromagnetic noise immunity among different series of TTL-ICs. Each are mounted on a printed circuit board located adjacent to a small loop antenna driven by a sinusoidal wave of 100 MHz. Noise voltage was measured at an output of a TTL gate, of which logic state was fixed at "low" or "high". The noise voltage at its "low" state was larger than that of "high" state, because internal resistance of a TTL gate at "low" state is smaller than that at "high" state. The susceptibilities of TTLs of different series were compared using a TEM cell at frequency range of 10 to 500 MHz. As a result, the higher the speed of TTL was, the more the noise voltage increased, especially at the resonance frequency of a loop formed by printed traces, an IC and a load. The electromagnetic immunity of AS-TTL was found 10 dB higher than that of LS-TTL.

Keywords: electromagnetic interference, printed circuit board, electromagnetic immunity, electromagnetic noise

第1章 緒言

我々の周りのデジタル機器は集積化、高速化、低電力化の傾向にある。低い電圧で、しかも高速に動作するデジタル機器はインパルス性電磁雑音を放射しやすく、またその基板は逆に電磁雑音の誘導を受けやすいと言える。

この放射電磁雑音の誘導によるデジタル回路の雑音障害は、山中ら¹⁾はTTL-ICのプリント基板の配線

をマイクロストリップラインとループで表した等価回路を用いて、信号波形のシュミレーションを行った研究報告がある。

しかしこの研究報告では、デジタル回路基板の耐電磁雑音性として、近接して置かれた基板間、例えばパーソナルコンピュータの拡張スロットのように平行に置かれた基板間の電磁的な誘導などを取り扱っていない。これは近接基板間の誘導に対する測定法が、まだ開拓され

*電子・電気工学科

ていないため、この問題の検討はまだ十分でない。

本研究ではTTL-ICを用いた簡単な構成のデジタル回路を試作し、IC、デカップリングコンデンサ、負荷とその信号線により形成される基板上の高周波ループに着目し、この高周波ループの位置とゲートの出力論理レベルの関係を確認した後、上記の高周波ループに誘起される電圧（以下、誘起電圧）により出力信号線に発生する電圧（以下、雑音電圧）の理論計算と測定値の比較を行い、最後にTTLの種類を変えた時の高周波ループの共振による耐電磁雑音性について述べる。

第2章 デジタル回路中の高周波ループ

回路に外来雑音電磁波が到来すると回路中に雑音誘起電圧が発生する。この雑音誘起電圧により出力信号に雑音電圧が混合し、それが後段の回路の誤動作の原因となる。電磁波により電圧が誘起されるのは、ICと電源線、デカップリングコンデンサ、後段のIC（負荷）等が、回路中に高周波ループを形成するからである。この際この高周波ループがループアンテナとなり雑音電圧を誘起する。この電圧がノイズマージンを越えれば論理レベルが反転し、回路の誤動作を引き起こすことになる。

この章では、デジタル回路中のこの高周波ループの位置を特定し、出力論理レベルとの関係について述べる。

2.1 回路の動作状態とループの関係

TTL-ICを用いた極めて簡単な回路中に形成される高周波ループの位置を出力論理レベルがLレベルとHレベルそれぞれにおいて考える。使用したICはTTL-ICで最も一般的な74シリーズのLS-TTL（74LS00）を用いた。この74LS00は2入力のNANDゲートである。このIC1個にはこのゲートが4個パッケージされている。

このNANDゲート1個の内部回路を図1に示す。出力の論理レベルを最終的に決定するのは出力端子のトータムポールを構成する2つのトランジスタのスイッチングで、出力論理レベルがHレベルになる時は、抵抗を挟

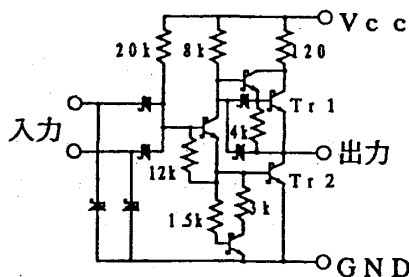


図1 74LS00の内部回路

Fig.1 Internal circuit of 74LS00

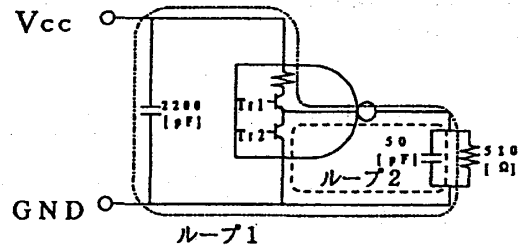


図2 回路と高周波ループの位置

Fig.2 Circuit diagram and position of high frequency loop

んでVccとつながるトランジスタ1がオンとなり、トランジスタ2がオフとなる時である。

また出力論理レベルがLレベルになる時はHレベルと逆で、トランジスタ1がオフ、トランジスタ2がオンとなり出力端子がGNDとつながった時Lレベルとなる。

ついで図2に示すようにこのゲートにデカップリングコンデンサと次段のゲートに見立てた負荷を付けた回路を考える。

この回路の出力論理レベルがHレベルの時は、トランジスタ1がオン状態となりVcc、デカップリングコンデンサ、信号線、負荷、GNDによりループ1が形成される。同様に出力論理レベルがLレベルの時は信号線、負荷、GNDによりループ2が形成される。

2.2 高周波ループの特定

出力論理レベルがHレベルまたはLレベルの時のループの位置を実験により確かめるため、図3に示す測定回路を用いる。電磁波発生源には直径20 [mm]のループアンテナを用い、100 [MHz]、100 [mV]の正弦波で励振する。このループアンテナを基板近傍で走査し、基板に発生する雑音電圧を測定することで、基板上に形成される高周波ループを特定することができる。基板とループアンテナのループ面を平行に配置し、間隔は20 [mm]とした。このループアンテナをXY二次元ロボットで動

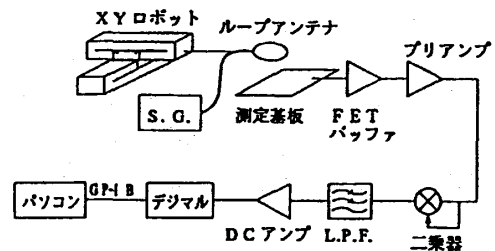
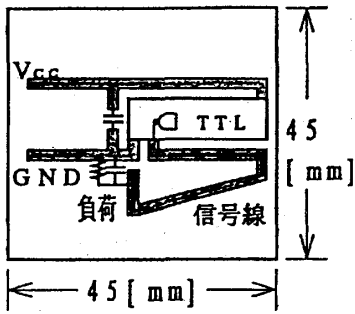
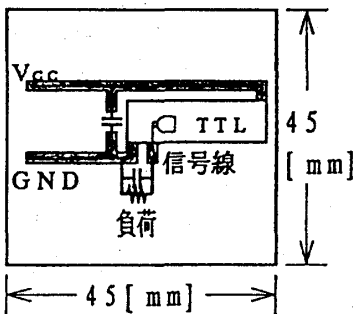


図3 ループアンテナを用いた測定システム

Fig.3 Measurement system using a loop antenna



(a) 信号線を長くした基板
 (a) This board made longer of signal line



(b) 信号線を短くした基板
 (b) This board made shoten of signal line

図4 被測定基板
 Fig.4 Measured circuit board

かし、基板の出力信号上に発生する雑音電圧をFETバッファで取り出し二乗器によりパワーに変換し直流値としている。

測定で使用した2枚の基板のプリントパターンを図4に示す。図(a)はゲート出力の信号線を長くして信号線でループを作ったもの、図(b)は信号線を短くして上記のループ面積をほとんど0にしたものである。デカップリングコンデンサは、2200 [pF]、負荷には50 [pF]のコンデンサと、510 [Ω]の抵抗を用いた。使用した基板は1.6 [mm]厚のガラスエポキシ基板で片面にラインのみを配し、信号線の幅は2 [mm]とした。

2. 3 測定結果と検討

図4(a)に示したプリント基板を用いて測定した出力論理レベルがHレベルとLレベルの時の雑音電圧の分布を図5と図6に示す。この等高線は、最大値を基準にして-1 [dB] 毎にラインをトレースしている。基板上の高周波ループの中心とループアンテナの中心が一致したとき誘起電圧が最大になるはずだから、等高線上の最大値の座標が高周波ループの位置を示している。

図5に示す出力論理レベルがHレベルの時、最大値の

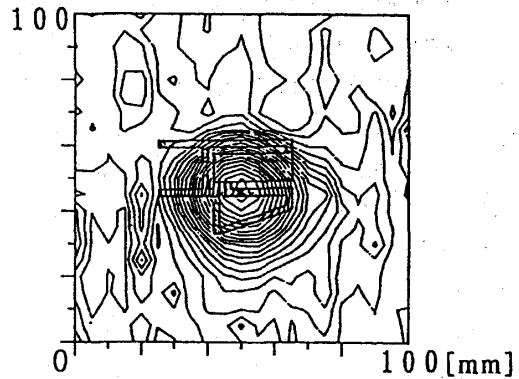


図5 Hレベル出力時の雑音電圧分布
 ループ面積：約250[mm²]
 最大値：約0.41[mV]

Fig.5 Distribution of noise voltage when an output of a TTL gate at "High"
 Area of loop : about 250[mm²]
 Maximam voltage : about 0.41[mV]

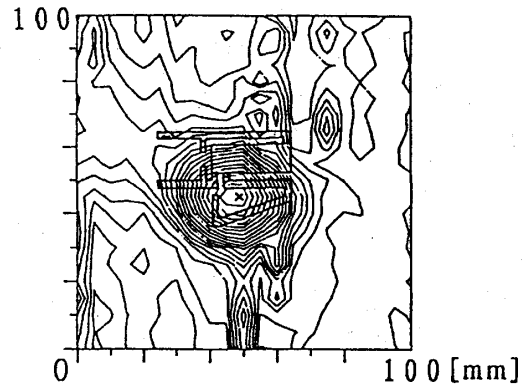


図6 Lレベル出力時の雑音電圧分布
 ループ面積：約120[mm²]
 最大値：約0.41[mV]

Fig.6 Distribution of noise voltage when an output of a TTL gate at "Low"
 Area of loop : about 120[mm²]
 Maximam voltage : about 0.41[mV]

座標はプリント基板の中心にある。これから出力論理レベルがHレベルの時のループはVcc、デカップリングコンデンサ、負荷等によって形成される高周波ループであり、図2で示したループ1である。

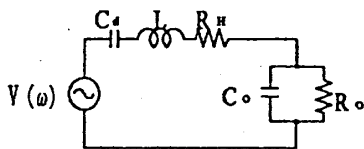
次に図6に示すLレベル出力時の時の等高線を見ると、最大値の座標が信号線の方に寄っていることが分かる。基板上的高周波ループはこの座標を中心として形成されているから、Lレベルの時に形成される高周波ループは図2で示したループ2である。

ここでHレベルとLレベルの出力時の最大値の電圧をFETバッファの入力電圧、すなわち出力信号線上の雑音電圧に換算して比べると、どちらも約0.41 [mV] である。誘起電圧はループの面積と磁束密度と周波数に比

例する。測定の際は周波数と磁束密度は同じで、違うのはループの面積である。そこでループの面積を計ると、Hレベルの時の面積は約250 [mm²]、Lレベルの時の面積は約120 [mm²]であった。つまりLレベルの時は誘起電圧はほぼ半分となるが、出力信号線に発生する雑音電圧は上述のように同程度となっている。このことからLレベルの時の方が誘導の影響を受けやすく、相対的に雑音電圧が大きくなると考えられる。

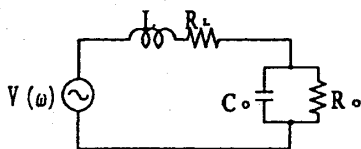
そこで図4(b)に示すように信号線を短くした基板で出力論理レベルをHレベルにしたときの測定を行った。このときの基板上の高周波ループの面積は、約130 [mm²]で図4(a)の基板のLレベル出力時の高周波ループの面積とはほぼ同じである。この測定結果の等高線は省略するが、雑音電圧の最大値は約0.26 [mV]となり、誘起電圧が同じ場合、Lレベルの方が出力信号線上に現れる雑音電圧は大きい。

図2に示した回路のHレベル出力時とLレベル出力時の高周波ループ1および2を等価回路にすると図7(a)、(b)のようになる。誘起電圧は $V(\omega) = \omega AB \cdot n$ で表され(角周波数 $\omega = 2\pi f$ 、ループ面積 $A = 120$ [mm²]、磁束密度 B 、ループの単位法線ベクトル n)、 C_d はデカップリングコンデンサ(2200 [pF])、 L はプリントパターンとICのピンのインダクタンスの和(48.3 [nH])、 R_H 、 R_L はそれぞれHレベルLレベル出力時のゲート出力抵抗($R_H = 125$ [Ω]、 $R_L = 25$ [Ω])、 C_O 、 R_O ($C_O = 50$ [pF]、 $R_O = 510$ [Ω])は負荷である。



(a) Hレベル出力時に形成される高周波ループ1の等価回路

(a) Equivalent circuit of high frequency loop1 at an output of a gate at "High"



(b) Lレベル出力時に形成される高周波ループ2の等価回路

(b) Equivalent circuit of high frequency loop2 at an output of a gate at "Low"

図7 高周波ループの等価回路

Fig.7 Equivalent circuit of high frequency loop

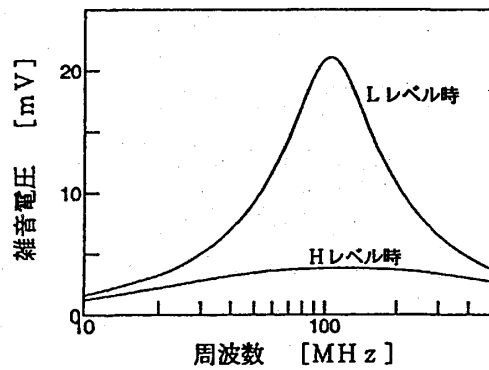


図8 H、Lレベル時の雑音電圧の周波数特性 (SPICEで解析)

Fig.8 Frequency characteristics of noise voltage at an output of a TTL gate at "High" and "Low" (SPICE output)

この等価回路から負荷の両端に発生する雑音電圧を計算すると図8に示すようになる。周波数全般にわたりLレベルの方が雑音電圧が大きくなる。この理由は、ゲートの出力抵抗がLレベルの方が小さいためである。また図8からLレベルでは特定の周波数で共振による雑音電圧の上昇が見られる。このことからLレベル出力時の方が放射電磁雑音の影響が現れやすく、共振により回路の耐磁性が劣化することがわかる。共振により耐磁性の劣化の原因については次章で述べる。

池田らの報告³⁾では、TTLの出力がHレベルの方がLレベルの場合より雑音電圧の振幅が大きいと述べているが、そのときの基板は信号線が短く(図4(b)の基板)、Lレベルの時に基板上に形成される高周波ループの面積が小さいため、電圧はほとんど誘起されていなかったことが原因である。実際の基板では信号線はある程度の長さを持っているので、Lレベルの雑音電圧が大きくなる。

第3章 高周波ループの回路共振

第2章ではデジタル回路中に形成される高周波ループの位置と大きさについて述べた。

本章では放射電磁界に対して影響が現れやすいLレベル出力時に形成される高周波ループに着目する。この高周波ループが特定の周波数において共振を起こし誘起雑音電圧が大きくなり、回路の耐磁性が劣化することを計算と測定から述べる。

3.1 TTL-ICの種類と雑音電圧

ゲートの出力論理レベルがLレベルの時の高周波ループは図7(b)に示すように信号線およびICのピン等のLとゲートの出力抵抗 R_L 、及び負荷 C_O 、 R_O で構成

される。

LS、ALS、ASの3種類のTTL-ICについてLレベル出力時のゲートの出力抵抗 R_L と共振時の Q を表1に示す。共振周波数 f は式(1)より L と C_0 により、 Q は式(2)より計算した。

$$f = \frac{1}{2\pi\sqrt{LC_0}} \quad (1)$$

$$\frac{1}{Q} = \frac{1}{Q_L} + \frac{1}{Q_C} \quad (2)$$

$$\text{但し、} Q_L = \frac{\omega L}{R_L}, \quad Q_C = \frac{\omega C_0}{1/R_0}$$

表1 TTL-ICのゲート出力抵抗と共振時の Q

Table 1 Output resistance of TTL-IC gate and Q of resonance

TTL74 シリーズ	ゲート出力 抵抗 [Ω]	共振時の Q
LS	25	1.15
ALS	14	1.94
AS	6	3.90

インダクタンス： $L = 48.3$ [nH]

負荷： $R_0 = 510$ [Ω]

$C_0 = 47$ [pF]

共振周波数： $f = 106$ [MHz]

表1からASの出力抵抗が最も小さく、出力に現れる雑音電圧が大きくなるのがわかる。また、共振時の Q もASが最も高く、雑音電圧が大きくなり回路の耐磁性が劣化すると考えられる。

また、負荷が変化したときのLSとASの雑音電圧の周波数特性を図9に示す。NANDゲート1個分の入力

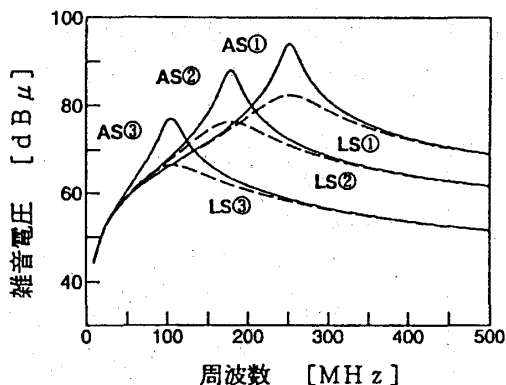


図9 LSとASの雑音電圧の周波数特性 (SPICEで解析)

Fig.9 Frequency characteristics of noise voltage at LS-TTL and AS-TTL (SPICE output)

インピーダンスはASでは1[k Ω]、8[pF]、LSでは20[k Ω]、8[pF]のR、Cの並列と等価である。そこでASの負荷を、

AS①： $R_0 = 10$ [k Ω]、 $C_0 = 8$ [pF]

AS②： $R_0 = 5$ [k Ω]、 $C_0 = 16$ [pF]

AS③： $R_0 = 560$ [Ω]、 $C_0 = 47$ [pF]

また、LSの負荷を、

LS①： $R_0 = 20$ [k Ω]、 $C_0 = 8$ [pF]

LS②： $R_0 = 10$ [k Ω]、 $C_0 = 16$ [pF]

LS③： $R_0 = 560$ [Ω]、 $C_0 = 47$ [pF] とした。

①の負荷は、ゲート1個相当、②はゲート2個相当、

③は第2章で用いた負荷に最も近いチップ抵抗とチップコンデンサの値とした。

図9から負荷の容量が小さいと共振周波数が高くなり、共振の Q も高くなる。LSとASを比較するとASの方が約11 [dB] 共振時の雑音電圧が大きくなり耐磁性が劣化する。

3. 2 雑音電圧の周波数特性の測定

ここでは、実際のプリント回路基板に外来電磁波が到来したときに誘起される電圧の測定方法について述べる。

次の2種類の測定を行った。

(1) 図10(a)に示すように図7(b)の等価回路をプリントパターンのループとチップ抵抗及びチップコンデンサで構成した基板(以下ループ基板)を作り、誘導により発生する雑音電圧を測定し、雑音電圧の負荷依存性と、共振により雑音電圧が大きくなる変化を調べる。この測定では、一定強度の電磁界を与えるためにTEMセルを用いた。

この基板は1.6 [mm]厚のガラスエポキシ基板で片面にのみラインを配した。ラインの幅は2 [mm]とし、ループの面積は約240 [mm²]、ループに含まれるインダクタンス L は約50 [nH]である。ASを模擬したループ基板の場合、 $R_L = 6$ [Ω]とし、負荷を前節で示したAS①~AS③とした。LSを模擬したループ基板の場合、 $R_L = 25$ [Ω] 負荷はLS①~LS③とした。

また、雑音電圧を取り出すためのFETバッファも同一基板上に作りバッファ部のみシールドして電磁界の影響を受けないようにした。

(2) 図10(b)に示すTTL-ICのLSまたはASを用いた基板(以下TTL基板)を用い、信号線に発生する雑音電圧を測定し、LSとASの雑音電圧の比較を行う。

このTTL基板の出力論理レベルはLレベルに固定し、ループ面積は約120 [mm²] インダクタンス L は約50 [nH]である。

また、この基板では負荷に同一DIP内のゲートを用

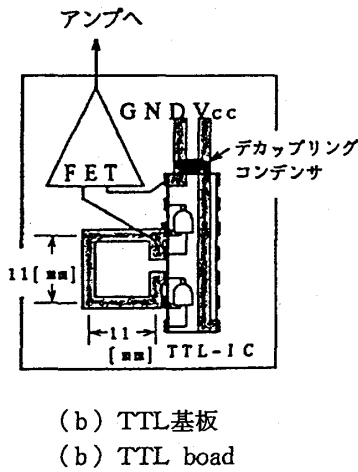
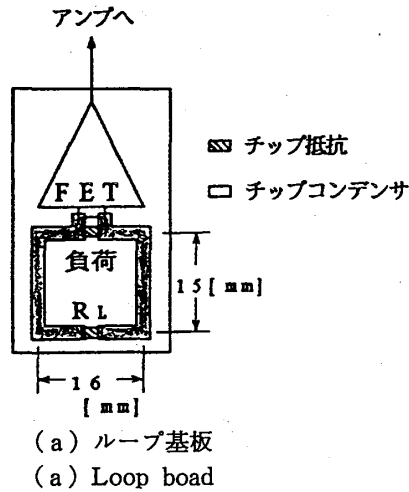


図10 被測定基板
Fig.10 Measured circuit board

いた。つまりAS、LSとも負荷が①の場合はゲート1個、負荷が②の場合はゲート2個をつないだ。そして、負荷が③の場合は $R_0=560 [\Omega]$ 、 $C_0=47 [pF]$ のチップ抵抗とチップコンデンサを用いた。

FETバッファはTTL基板とは別に作りシールドをしてTTL基板と最短距離でつなぎ、基板と共にTEMセルに入れた。

FETバッファを基板と共にセルの中に入れる理由は、被測定基板からFETバッファの入力までの信号線を長くすると、この信号線の影響が大きくなり現れ測定データの再現性が取れないためである。したがってFETバッファはシールドをして被測定基板と共にTEMセルの中に入れ、FETバッファの電源線や信号線はセル内ではできるだけ短くし電磁波が乱れないようにした。しかしこのため、今回の測定では300 [MHz] 付近から上の周波数では、TEMセルの特性とFETバッファの影響により測定データに乱れがみられる。300 [MHz]以下では±1.5 [dB]の変動幅であり300 [MHz]までのデータは

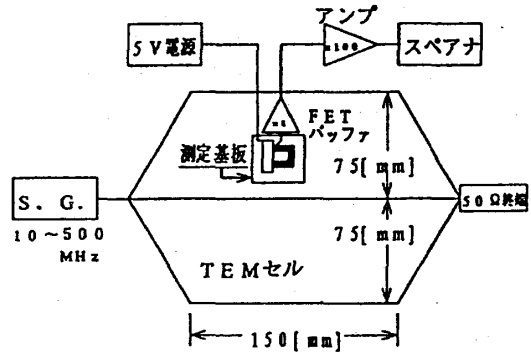


図11 TEMセルを用いた測定システム
Fig.11 Measured system using a TEM cell

信頼できるものとする。

測定システムを図11に示す。測定で用いたTEMセルの中にループ基板またはTTL基板を発泡スチロールで固定して測定を行った。このTEMセルは内導体と外導体の間隔が75 [mm]あり、340 [MHz]まで均一電磁界を発生できる。シグナルジェネレータから5 [mV]の正弦波を出力し周波数を10 [MHz]～500 [MHz]まで変化させる。被測定基板の信号線に発生する雑音電圧をFETバッファで取り出し増幅してスペクトラムアナライザにより観測した。

3.3 測定結果と検討

(1) ループ基板を用いた雑音電圧の測定

図10 (a)のループ基板での測定結果を図12、図13に示す。図12はASを模擬したループ基板の場合であり、図13はLSを模擬したループ基板の場合である。

両方の測定結果から負荷が軽いほど共振周波数が高く、共振により雑音電圧が大きくなるのがわかる。負荷が①と③では①の方が約15 [dB]も大きな雑音電圧が現れる。式(1)式(2)の計算と図12の測定結果からASを模擬したループ基板の共振周波数とQを求めると表

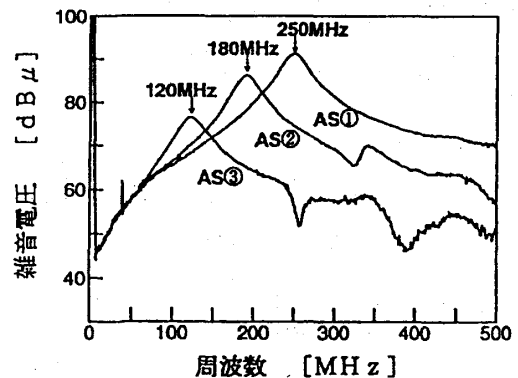


図12 ASを模擬したループ基板の雑音電圧
Fig.12 Noise voltage of Loop board shammed AS

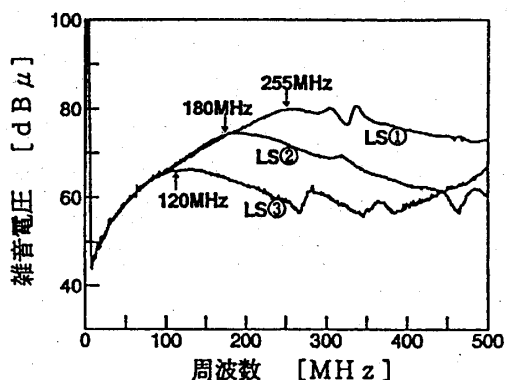


図13 LSを模擬したループ基板の雑音電圧
Fig.13 Noise voltage of Loop board shammed LS

表2 共振周波数とQの負荷依存性

Table 2 Resonance frequency and Q on load capacitance

	負 荷		
	AS①	AS②	AS③
(1)式による共振周波数	256MHz	181MHz	106MHz
(2)式による共振時のQ	12.0	8.5	3.9
ループ基板の共振周波数	250MHz	190MHz	120MHz
ループ基板の共振時のQ	8.8	6.7	3.6

ゲート出力抵抗: $R_L = 6 [\Omega]$
インダクタンス: $L = 48.3 [\text{nH}]$

2のようになる。

実測では計算より若干共振周波数がずれ、Qが下がる。これはループ基板の測定にはFETバッファがつながり、Lの値が計算値と基板では若干誤差があるからである。

図12と図13を比べるとASを模擬したループ基板の方がLSを模擬したループ基板より共振周波数において約10 [dB] 雑音電圧が大きくなっている。

(2) LSとASの雑音電圧の比較

図10 (b) に示すTTL基板での測定結果を図14から図16に示す。

図14は負荷が①の場合、図15は負荷が②の場合、図16は負荷が③の場合のLSとASの測定結果の比較である。

図14、図15、図16から、LSより高速に動作するASの方が回路の共振周波数の近くで約10 [dB] 雑音電圧が大きくなることがわかる。つまりASを用いた回路基板はLSを用いた回路基板より約10 [dB] 耐磁性が劣化する。

ASを用いた基板ではループ基板の時よりQが低く、

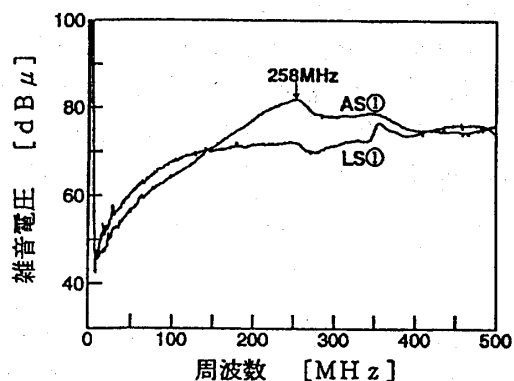


図14 負荷がゲート1個の場合のTTL基板の雑音電圧

Fig.14 Noise voltage of TTL board, when load is one gate

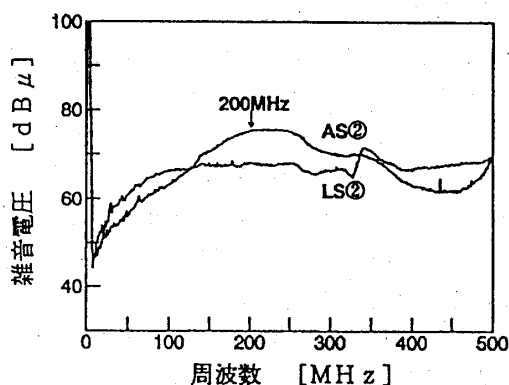


図15 負荷がゲート2個の場合のTTL基板の雑音電圧

Fig.15 Noise voltage of TTL board, when load are two gates

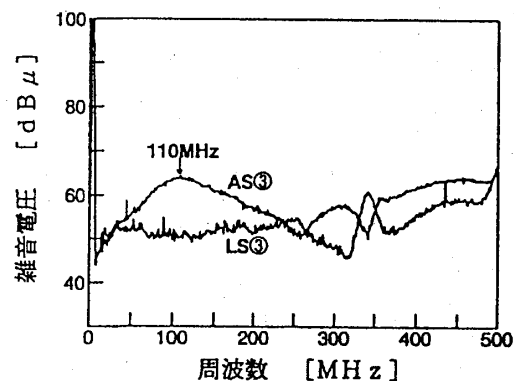


図16 負荷が $R_o // C_o$ の場合のTTL基板の雑音電圧

($R_o = 560 [\Omega]$ 、 $C_o = 47 [\text{pF}]$)

Fig.16 Noise voltage of TTL board, when load are R_o and C_o

($R_o = 560 [\Omega]$ 、 $C_o = 47 [\text{pF}]$)

共振周波数とその時のQは負荷が

①の場合 $f = 258 [\text{MHz}]$ 、 $Q = 4.7$ 、

②の場合 $f = 200 [\text{MHz}]$ 、 $Q = 2.0$ 、

③の場合 $f=110$ [MHz]、 $Q=2.1$

である。同様にLSでも Q は低くなる。このことは、ループ基板で用いた抵抗 R_L をASで6 [Ω]、LSで25 [Ω]としたが実際にはもう少し大きな値を持っているか、あるいは Q を下げるような抵抗がループに含まれていると考えられる。

第4章 結 言

本研究では、第2章でデジタル回路基板への誘導の問題として、回路中に形成される高周波ループの位置と回路の動作状態の関係について述べた。第3章ではこの高周波ループでの回路共振について述べ、次のような結果を得た。

出力論理レベルにより回路中に形成される高周波ループの位置が変化し、Lレベル出力時の方がループの面積が小さい。しかしながらTTL-ICの場合、Lレベル出力時にはゲートの出力抵抗が小さいため、電磁波の誘導に対し影響が現れやすく、誘起電圧が同じ場合にはHレベルよりLレベルの方が雑音電圧が大きくなる。

高速に動作するTTL-ICほど共振時に Q が高くなり、LSとASを比較すると共振時にはASの方が誘導雑音電圧が大きくなり、シミュレーションでは約11 [dB]、実測で約10 [dB] 雑音電圧が大きくなる。つまり共振時に於てASはLSより約10 [dB] 耐磁性が劣化している。

今回の測定で用いた基板は片面にラインのみプリントし、ラインの幅も太い(2 [mm] 幅)。このため実際の基板、例えば、ラインをマイクロストリップ構造にした場合、雑音電圧は小さくなり、ASはLSに比べ10 [dB]

も耐雑音性が劣化しないかもしれない。

しかし、定性的には高速に動作するTTL-ICほど耐磁性が悪化するといえる。また、今回の回路は論理レベルがHレベルまたは、Lレベルに固定したものに限定したものであり、論理レベルが変化する時の雑音電圧の測定や、プリント回路基板が放射する電磁雑音と近接基板への誘導の関係を調べるのが今後の検討しなければならない課題である。

謝 辞

本研究を進めるに当たり、有益な助言、ご指導を頂いた岡山大学工学部電気・電子工学科電子機器研究室の古賀隆治教授、和田修己講師、小坂恵教務員に深く感謝の意を表す。さらに、本研究を進めるに当たり多大の援助を頂いた電子機器研究室の方々に深く感謝の意を表す。

参考文献

- 1) 山中、西方、大神、庭田：“電磁波によるデジタル回路の誤動作に関する検討” 信学技報 EMCJ90-8, PP.9-16 (1990).
- 2) トランジスタ技術 SPECIAL No.22 CQ出版, PP.21-30 (1990).
- 3) 池田、佐野、古賀、和田、小坂：“パーソナルコンピュータ用拡張ボードから放射される極近傍磁界分布の測定” 信学技報 EMCJ90-84, PP.1-8 (1990).
- 4) 仁田、許、大山、沼口：“デジタル回路の誤動作モード” 信学技報 EMCJ90-36, PP.17-24 (1990).
- 5) 仁田：“ノイズ発生対策および防止技術” 計測と制御 Vol.29 No.5, PP.30-36 (1990-5).